

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ H01L 23/28 (11) 공개번호 특2002-0043755
(43) 공개일자 2002년06월 12일

(21) 출원번호 10-2000-0072861
(22) 출원일자 2000년 12월 04일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 윤태성
충청남도 천안시 신방동 향촌현대아파트 303동 507호
(74) 대리인 윤동열, 이선희

심사청구 : 없음

(54) 반도체 패키지의 제조 방법

요약

본 발명은 인쇄회로기판에 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법으로, 종래의 패키지 제조 공정에 필요한 플럭싱 공정, 플럭스 세정 고정 및 언더필 공정을 생략하여 제조 공정을 최소화할 수 있는 반도체 패키지의 제조 방법을 제공한다. 즉, 본 발명은 인쇄회로기판 상에 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법으로, (a) 활성면에 범프가 형성된 반도체 칩과, 상부면에 상기 범프가 접속될 기판 패드와 상기 기판 패드를 제외한 상기 기판 패드의 주위에 소정의 두께로 반경화 상태의 수지 마스크가 형성되어 있고, 상기 상부면에 반대되는 하부면에 상기 기판 패드와 전기적으로 연결된 솔더볼 패드가 형성된 인쇄회로기판을 준비하는 단계와; (b) 상기 인쇄회로기판의 기판 패드에 상기 반도체 칩의 범프가 대응되도록 상기 인쇄회로기판의 수지 마스크 상부면에 반도체 칩을 탑재하는 단계와; (c) 상기 반도체 칩에 소정의 힘을 가하면서 상기 범프가 상기 기판 패드에 접합되도록 리플로우 공정을 진행하는 단계; 및 (d) 상기 인쇄회로기판의 솔더볼 패드에 각기 솔더볼을 부착하는 단계를 포함하며, 상기 (c) 단계에서, 상기 수지 마스크는 상기 반도체 칩과 인쇄회로기판 사이를 채운 후 경화되어 수지 봉합부를 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법을 제공한다.

대표도

도3

색인어

플럭스, 수지 마스크, 비지에이(BGA), 플립 칩, 범프

영세서

도면의 간단한 설명

도 1은 종래기술에 따른 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법을 나타내는 공정 흐름도,

도 2는 도 1의 제조 방법에 의해 제조된 반도체 패키지를 보여주는 단면도,

도 3은 본 발명에 따른 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법의 실시예를 나타내는 공정 흐름도,

도 4 내지 도 7은 도 3의 제조 방법에 따른 각 단계를 보여주는 도면들로서,

도 4는 인쇄회로기판의 상부면에 반도체 칩이 정렬된 상태를 보여주는 단면도,

도 5는 반도체 칩 부착 단계를 보여주는 단면도,

도 6은 리플로우 공정을 보여주는 단면도,

도 7은 솔더볼 부착 단계를 보여주는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

10, 60 : 반도체 칩 12, 62 : 전극 패드

14, 64 : 범프 20, 70 : 인쇄회로기판

30, 80 : 수지 봉합부 29, 79 : 솔더볼

50, 100 : 반도체 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지의 제조 방법에 관한 것으로, 더욱 상세하게는 인쇄회로기판 상에 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법에 관한 것이다.

전자기기의 경박단소화 추세에 따라 반도체 칩을 탑재하는 패키징(packaging) 기술도 고속, 고기능, 고밀도 실장이 요구되고 있다. 이러한 요구에 따라 최근 반도체 칩을 최소한의 공간상에 패키징하는 볼 그리드 어레이(Ball Grid Array: BGA) 패키지, 칩 스케일 패키지(Chip Scale Package: CSP) 등이 등장하게 되었으며, 이러한 패키지는 와이어 본딩(wire bonding), 탭(TAB: Tape Automated Bonding) 및 플립 칩 본딩(flip chip bonding) 등의 다양한 전기적 접속 방법을 이용하여 외부 전자 장치에 실장된다. 이들 전기적 접속 방법 중에서 고속, 고기능, 고밀도 실장에 가장 효과적인 방법은 플립 칩 본딩이며, 플립 칩 본딩 공정에는 접속의 매개체로서 반도체 칩의 전극 패드나 회로 기판의 기판 패드 상에 금속 범프(metal bump)를 제조하는 것이 필수적이다.

인쇄회로기판(20: Printed Circuit board; PCB) 상에 플립 칩 본딩된 반도체 칩(10)을 갖는 반도체 패키지(50)의 종래기술에 따른 제조 방법을 도 1 및 도 2를 참조하여 설명하면 다음과 같다. 제조 공정(40)은 범프(14)가 형성된 반도체 칩(10)과 인쇄회로기판(20)을 준비하는 단계로부터 출발한다(41). 반도체 칩(10)은 활성면에 형성된 전극 패드(12)에 소정의 높이로 범프(14)가 형성되어 있다. 그리고, 인쇄회로기판(20)은 기판 몸체(21)와, 기판 몸체(21)에 형성된 다층의 배선 패턴층(25)으로 구성된다. 도면부호 23은 솔더 레지스트층(solder resist layer)을 가리킨다.

다음으로, 반도체 칩(10)이 플립 칩 본딩된 인쇄회로기판(20)의 기판 패드(24)에 플럭스(flux)를 도포(42)한 다음 반도체 칩(10)을 탑재한다(43). 그리고, 반도체 칩의 범프(14)가 인쇄회로기판(20)의 기판 패드(24)에 접합될 수 있도록 리플로우 공정을 진행한다(44). 계속해서 리플로우 공정이 완료된 이후에 범프(14) 주위에 남아 있는 플럭스와 찌꺼기를 제거하는 세정 공정과 범프(14)가 접합된 부분을 외부 환경으로부터 보호하기 위해서 액상의 성형수지로 봉합하는 언더필(underfill) 공정(45)이 진행된다. 언더필 공정은 액상의 성형수지를 주입하는 공정과, 액상의 성형수지에 대한 경화 공정을 포함한다. 마지막으로 인쇄회로기판(20)의 솔더볼 패드(28)에 솔더볼(29)을 부착하는 공정을 진행한다. 기판 패드(24)와 솔더볼 패드(28)는 내부 배선층(26)에 의해 전기적으로 연결된다.

그런데, 종래의 반도체 패키지(50)의 제조 방법은 다단계의 공정을 거쳐 반도체 칩(10)을 패키징하기 때문에, 생산성 및 경제성 확보에 문제가 있다. 더불어 각 공정별로 불량발생요인도 산재해 있기 때문에, 불량이 발생할 경우 그 불량률의 정확한 원인분석 및 해결이 쉽지 않다.

특히, 종래의 반도체 패키지(50)의 제조 방법은 플럭싱(fluxing) 공정을 포함하고 있기 때문에, 리플로우 공정 이후에 플럭스를 완전히 제거하지 못하면 수지 봉합부(30)와 인쇄회로기판(20) 사이의 접착력이 떨어진다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 공정을 최소화하는 데 있다.

본 발명의 다른 목적은 플럭싱 공정, 플럭스 세정 및 언더필 공정을 생략할 수 있는 반도체 패키지 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 인쇄회로기판 상에 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법으로, (a) 활성면에 범프가 형성된 반도체 칩과, 상부면에 상기 범프가 접속될 기판 패드와 상기 기판 패드를 제외한 상기 기판 패드의 주위에 소정의 두께로 반경화 상태의 수지 마스크가 형성되어 있고, 상기 상부면에 반대되는 하부면에 상기 기판 패드와 전기적으로 연결된 솔더볼 패드가 형성된 인쇄회로기판을 준비하는 단계와; (b) 상기 인쇄회로기판의 기판 패드에 상기 반도체 칩의 범프가 대응되도록 상기 인쇄회로기판의 수지 마스크 상부면에 반도체 칩을 탑재하는 단계와; (c) 상기 반도체 칩에 소정의 힘을 가하면서 상기 범프가 상기 기판 패드에 접합되도록 리플로우 공정을 진행하는 단계; 및 (d) 상기 인쇄회로기판의 솔더볼 패드에 각기 솔더볼을 부착하는 단계;를 포함하며,

상기 (c) 단계에서, 상기 수지 마스크는 상기 반도체 칩과 인쇄회로기판 사이를 채운 후 경화되어 수지 봉합부를 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법을 제공한다.

본 발명의 제조 방법에 따른 수지 마스크는 반경화 상태의 에폭시 수지 또는 포토 솔더 레지스트이다. 그리고, 인쇄회로기판 상부면에 형성된 수지 마스크는 반도체 칩의 활성면에 형성된 범프의 높이에 대응되는 두께로 형성하는 것이 바람직하다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 3은 본 발명에 따른 플립 칩 본딩된 반도체 칩(60)을 갖는 반도체 패키지의 제조 방법의 실시예를 나타내는 공정 흐름도(90)이다. 그리고, 도 4 내지 도 7은 도 3의 제조 방법에 따른 각 단계를 보여주는 도면들이다. 도 3 내지 도 7을 참조하여 본 발명에 따른 제조 방법의 한가지 실시예에 대하여 설명하겠다. 한편, 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 가리킨다.

본 실시예의 제조 공정은 반도체 칩(60)과 인쇄회로기판(70)의 준비 단계로부터 출발한다(91). 반도체 칩(60)은 도 4에 도시된 바와 같이, 활성면의 전극 패드(62)에 소정의 높이로 범프(64)가 형성되어 있다. 본 실시예에 따른 범프(64)는 솔더 범프(solder bump)지만, 금도금 범프(Au plating bump) 또는 지주 범프(stud bump)를 형성하여도 무방하다.

인쇄회로기판(70)은 상부면과 하부면을 갖는 기판 몸체(71)와, 기판 몸체(71)에 형성된 다층의 배선 패턴층(77)으로 구성된다. 배선 패턴층(77)은 기판 몸체(71)의 상부면에 플립 칩 본딩될 반도체 칩(60)과 전기적으로 연결되는 기판 패드(74)를 포함하는 상부 배선층과, 기판 몸체(71)의 하부면에 형성되며 솔더볼(도 7의 79)이 용착되는 솔더볼 패드(78) 및 기판 몸체(71)의 내부에 형성되며 기판 패드(74)와 솔더볼 패드(78)를 연결하는 내부 배선층(76)으로 이루어지며, 배선 패턴층(77)은 기판 몸체(71)에 형성된 구리 박막(copper foil)을 패터닝하여 형성한다. 그리고, 솔더볼이 부착될 솔더볼 패드(78)와, 범프(64)가 접합될 기판 패드(74)를 제외한 인쇄회로기판(70)의 전면에 솔더 레지스트층(73; solder resist layer)이 형성되어 있다.

특히, 본 실시예에서는 인쇄회로기판(70) 상부면의 기판 패드(74)를 제외한 솔더 레지스트층(73) 상에 소정의 두께로 반경화(semi-cure) 상태의 수지 마스크(81; resin mask)가 형성되어 있다. 즉, 수지 마스크(81)는 각각의 기판 패드(74)가 외부로 노출될 수 있도록 형성된 개구부(83)를 포함하며, 개구부(83)는 인쇄회로기판(70)의 제조 공정에서 마스크 필름(mask film)을 사용하거나 식각 방법(etching method)을 사용하여 형성한다. 수지 마스크(81)로는 반경화 상태의 언더필용 에폭시 수지(epoxy resin) 또는 솔더 레지스트층(73)과 동일한 재질의 포토 솔더 레지스트(Photo solder resist; PSR)를 사용하는 것이 바람직하다. 그리고, 솔더 레지스트층(73)의 상부면에 형성된 수지 마스크(81)는 반도체 칩(60)의 활성면에 형성된 범프(64)의 높이에 대응되는 두께로 형성하는 것이 바람직하며, 개구부(83)는 적어도 범프(64)가 삽입될 수 있는 크기의 홀으로 형성하는 것이 바람직하다.

다음으로 도 5에 도시된 바와 같이 반도체 칩(60)을 인쇄회로기판(70)의 상부면에 탑재하는 단계가 진행된다(92). 즉, 이송수단(68)이 반도체 칩의 범프(64)가 형성된 면의 반대면을 흡착하여 인쇄회로기판(70)의 상부면에 정렬한 상태에서 수지 마스크(81) 상부면에 반도체 칩(60)을 탑재하되, 반도체 칩의 범프(64)가 그에 대응되는 인쇄회로기판의 기판 패드(74)가 노출된 수지 마스크의 개구부(83)에 삽입되도록 반도체 칩(60)을 수지 마스크(81)의 상부면에 탑재한다. 이때, 반도체 칩(60)이 탑재된 인쇄회로기판(70)에서 반도체 칩(60)이 이송도중 이탈하는 것을 방지하기 위해서 탑재할 때 소정의 힘 예컨대, 10 내지 13kgf으로 반도체 칩(60)을 눌러 수지 마스크(81) 상부면에 탑재하는 것이 바람직하다. 이유는, 소정의 힘으로 반도체 칩(60)을 수지 마스크(81) 상부면에 탑재함으로써, 반경화 상태의 수지 마스크(81) 상부면에 반도체 칩(60)이 소정의 접착력으로 접착되기 때문에, 인쇄회로기판(70)의 이송도중 예컨대, 다음에 진행될 리플로우 장비로 이동하는 도중에 인쇄회로기판(70)의 상부면에서 반도체 칩(60)이 이탈하는 것을 방지할 수 있다.

다음으로 도 6에 도시된 바와 같이 리플로우 공정이 진행된다(93). 즉, 반도체 칩(60)에 소정의 힘을 가하면서 반도체 칩의 범프(64)가 기판 패드(74)에 접합되도록 리플로우 공정을 진행한다. 예컨대, 리플로우 공정은 10 내지 13kgf 힘을 반도체 칩(60)에 가하면서 최대 220℃에서 6분 내지 7분 정도 진행되며, 전체 공정 시간은 약 12분 정도이다. 이때, 리플로우 공정이 진행될 때 반경화 상태의 수지 마스크(도 5의 81)는 녹아 범프(64) 주위를 채운 후 경화되어 수지 봉합부(80)로 형성된다.

마지막으로 도 7에 도시된 바와 같이 솔더볼(79) 부착 공정이 진행된다(94). 즉, 인쇄회로기판의 솔더볼 패드(78)에 각기 솔더볼(79)을 부착함으로써, 반도체 패키지(100)의 제조 공정은 완료된다.

한편, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

발명의 효과

본 발명의 제조 방법을 따르면, 수지 마스크를 사용하여 반도체 칩을 인쇄회로기판에 탑재시킬 수 있기 때문에, 플럭싱 공정과 그에 따른 플럭스 세정 공정을 생략할 수 있어 플럭스 사용에 따른 불량을 제거할 수 있다. 그리고, 리플로우 공정에서 수지 봉합부를 함께 형성할 수 있기 때문에, 수지 봉합부를 형성하기 위한 언더필 공정을 생략할 수 있다. 즉, 반도체 패키지의 제조 단계를 최소화할 수 있다.

(57) 청구의 범위

청구항 1. 인쇄회로기판 상에 플립 칩 본딩된 반도체 칩을 갖는 반도체 패키지의 제조 방법으로,

(a) 활성면에 범프가 형성된 반도체 칩과,

상부면에 상기 범프가 접촉될 기판 패드와 상기 기판 패드를 제외한 상기 기판 패드의 주위에 소정의 두께로 반경화 상태의 수지 마스크가 형성되어 있고, 상기 상부면에 반대되는 하부면에 상기 기판 패드와 전기적으로 연결된 솔더볼 패드가 형성된 인쇄회로기판을 준비하는 단계와;

(b) 상기 인쇄회로기판의 기판 패드에 상기 반도체 칩의 범프가 대응되도록 상기 인쇄회로기판의 수지 마스크 상부면에 반도체 칩을 탑재하는 단계와;

(c) 상기 반도체 칩에 소정의 힘을 가하면서 상기 범프가 상기 기판 패드에 접합되도록 리플로우 공정을 진행하는 단계; 및

(d) 상기 인쇄회로기판의 솔더볼 패드에 각기 솔더볼을 부착하는 단계:를 포함하며,

상기 (c) 단계에서, 상기 수지 마스크는 상기 반도체 칩과 인쇄회로기판 사이를 채운 후 경화되어 수지

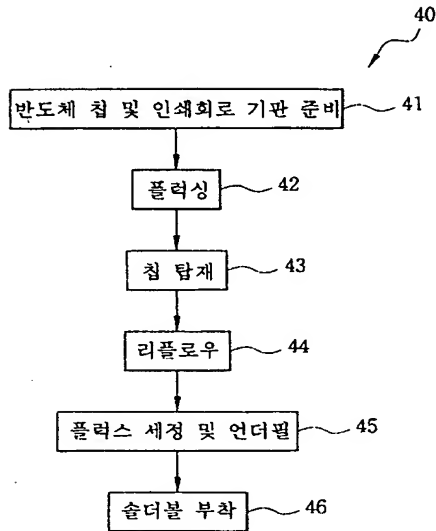
봉합부를 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 2. 제 1항에 있어서, 상기 수지 마스크는 반경화 상태의 에폭시 수지 또는 포토 솔더 레지스트인 것을 특징으로 하는 반도체 패키지의 제조 방법.

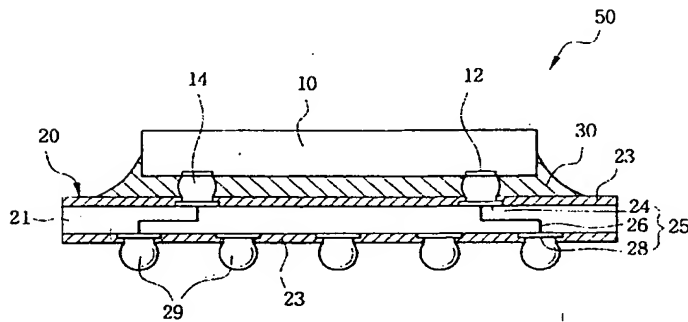
청구항 3. 제 1항에 있어서, 상기 인쇄회로기판 상부면에 형성된 수지 마스크는 상기 반도체 칩의 활성면에 형성된 범프의 높이에 대응되는 두께로 형성되는 것을 특징으로 하는 반도체 패키지의 제조 방법.

도면

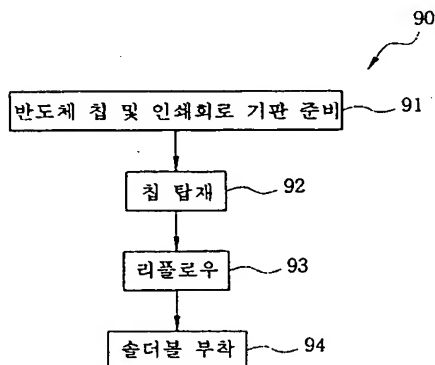
도면1



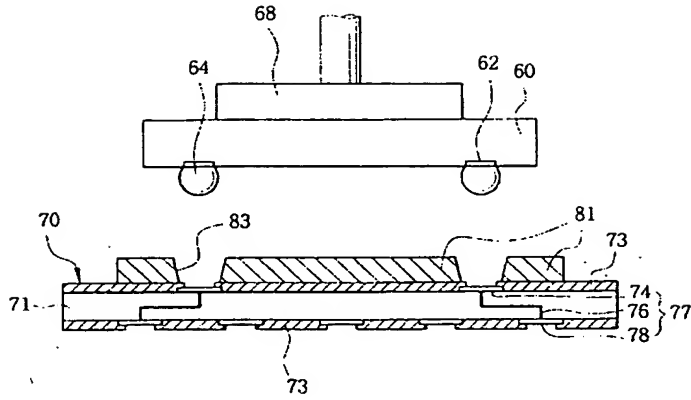
도면2



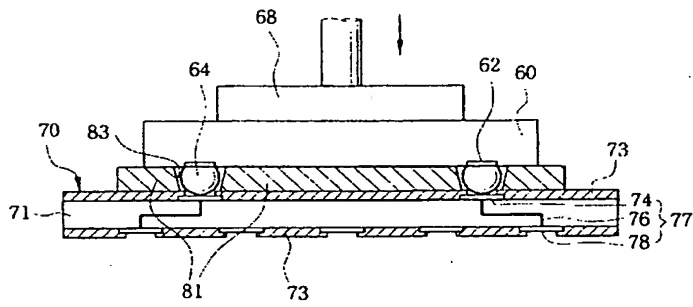
도면3



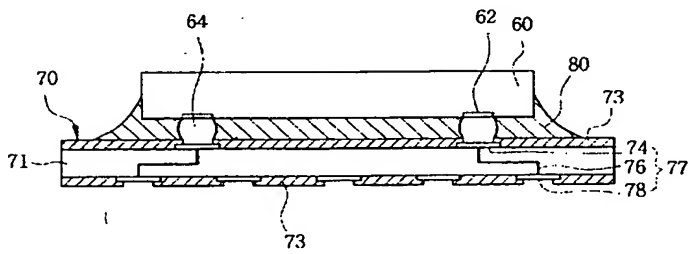
도면4



도면5



도면6



도면7

